

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-34025

⑥ Int. Cl.⁵

G 06 F 9/38

識別記号

3 3 0 X

庁内整理番号

7361-5B

⑬ 公開

平成3年(1991)2月14日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 命令処理方式

⑰ 特 願 平1-166902

⑱ 出 願 平1(1989)6月30日

⑲ 発 明 者 郡 光 則 神奈川県鎌倉市上町屋325番地 三菱電機株式会社コンピュータ製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 曾我 道照 外4名

明 細 書

1. 発明の名称

命令処理方式

2. 特許請求の範囲

複数の処理装置およびパイプライン制御装置から構成されるパイプライン計算機において、処理装置で実行中の命令の無効化を行う命令無効化制御手段を各処理装置に対応して設け、前記命令無効化制御手段の設定値に応じて遅延命令数を可変とするようにしたことを特徴とする命令処理方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、計算機の命令処理方式に関するものである。

〔従来の技術〕

第3図は、遅延分岐命令を備えた計算機の一般的な構成の一例を示す図である。図において、(1)～(4)は計算機命令を処理するための各処理装置であり、パイプライン構成をとっている。(5)は各処理装置(1)～(4)を制御するパイプライン

制御装置、(6)～(9)はパイプライン制御装置(5)と各処理装置(1)～(4)の間の制御信号である。

第4図は計算機の命令処理動作を示す図である。図において、(12)は時間軸、(13)は命令処理順序を示す軸である。(14)～(18)は命令を示し、命令(14)～(18)内の数字(1, 2, 3, 4)はそれぞれ命令が処理装置(1, 2, 3, 4)にて処理されることを示す。特に、(15)は遅延分岐命令、(18)は遅延分岐命令の分岐先命令である。(19)～(26)は計算機の命令実行サイクルを示す。

次に、従来の命令処理動作について説明する。遅延分岐命令(15)が処理装置(3)にて処理されると(第4図のサイクル(22)に入ると)、処理装置(3)はパイプライン制御装置(5)を通じ処理装置(1)へ、命令取り出し番地の変更を要求する。一方、すでに処理装置(1)、(2)にて処理されている命令(16)、(17)は遅延分岐命令(15)に続いて実行される。すなわち、遅延分岐命令(15)に続き後続の命令(16)、(17)の実行後、分岐

先の命令(18)が実行される。

〔発明が解決しようとする課題〕

上記のような従来の命令処理方式では、遅延分岐命令における遅延命令数(ここで、遅延命令数とは、分岐命令において、その実行後、その分岐先命令の実行前に実行される命令数とし、第3図の例においては2、遅延分岐命令でない分岐命令においては0である。)は計算機のパイプライン構成などのハードウェア構成と対応したものでなければならず、特定の計算機構成を前提として作成された目的プログラムに対しソフトウェア互換性を持つ遅延分岐命令を備えた計算機のパイプライン段数などの構成が制約を受けるといった問題点があった。

この発明は、かかる問題点を解決するためになされたもので、分岐命令における遅延命令数を計算機のパイプライン段数などの構成に対し最適とすることができかつ同一計算機上で遅延命令数が異なっていることを前提にして作成された目的プログラムの実行も可能とする命令処理方式を得

ることを目的とする。

〔課題を解決するための手段〕

この発明に係る命令処理方式は、複数の処理装置およびパイプライン制御装置から構成されるパイプライン計算機において、処理装置で実行中の命令の無効化を行う命令無効化制御手段を各処理装置に対応して設け、前記命令無効化制御手段の設定値に応じて遅延命令数を可変とするようにしたものである。

〔作用〕

この発明においては、命令無効化制御レジスタは、計算機の命令によって設定可能なレジスタであり、遅延分岐命令によるパイプライン内の命令処理の無効化を制御する。

〔実施例〕

第1図はこの発明の一実施例による計算機の構成を示すブロック図である。図において、(1)～(9)は従来のものと同様である。(10)は命令無効化制御レジスタ、(11)はアンドゲートで、無効化制御レジスタ(10)の出力とパイプライン

制御装置(5)の出力とのアンドを取る。

第2図は第1図の計算機の命令処理動作を示す図である。図において、命令(17)のブロック(2N)、(3N)、(4N)以外は第4図と同様である。“N”は、その命令が無効化されていることを示す。

次に、この発明の動作を説明する。遅延分岐命令(15)が処理装置(3)にて処理されると(すなわち、第2図のサイクル(22)に入ると)、処理装置(3)はパイプライン制御装置(5)を通じ、処理装置(1)へ命令取り出し番地の変更を要求する。この時同時に命令無効化制御レジスタ(10)の設定値に応じて処理装置(2)で実行中の命令の無効化制御を行う。すなわち、当該処理装置に対応した命令無効化制御レジスタが値“1”をとる時、当該処理装置で処理中の命令を無効化(ノーオペレーション化)する。これにより命令(17)による処理は一切無効となる。

一方、当該命令無効化制御レジスタが値“0”をとる時、当該処理装置で処理中の命令は処理が

続行され、第4図に示される処理が行われる。

このようにして、命令無効化制御レジスタの設定値により遅延命令数を可変とする。

命令無効化制御レジスタは計算機の命令によって、あるいは操作卓からの操作により変更可能とする。

なお、上記実施例ではパイプラインの段数を4段としたが、2段以上何段のパイプライン構成に対しても各処理装置に対応した命令無効化制御レジスタを設けることにより、上記実施例と同様の効果を奏する。

また、上記実施例ではパイプラインの第3段にて分岐先番地の変更要求が出されたとしたが、第2段以降のいずれにて変更要求が出される場合でも、上記実施例と同様の効果を奏する。

また、命令無効化制御レジスタはプログラム状態レジスタ、制御レジスタ、汎用レジスタ、主記憶の一部であってもよい。

また、上記実施例では命令無効化制御レジスタが値“1”の時、命令処理の無効化が行われる

ようにしたが、値“0”の時、命令処理の無効化
を行い、値“1”の時、命令処理の無効化を行わ
ないようにしてもよい。

〔発明の効果〕

この発明は以上説明したとおり、命令無効化制御レジスタを設けて遅延分岐命令における遅延命令数を可変となるようにしたので、計算機構成に対して最適な遅延命令数と、異なる遅延命令数を前提に作成されたソフトウェア（目的プログラム）との互換性との両立がはかれる効果がある。

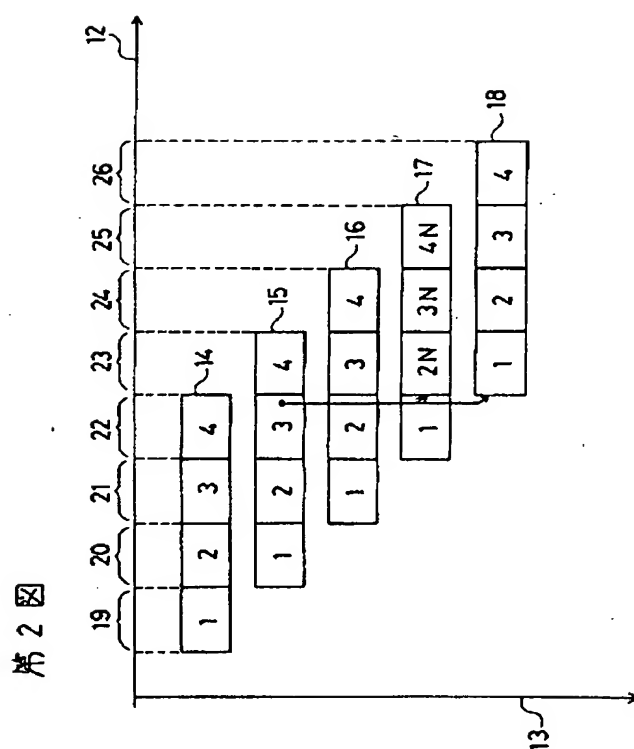
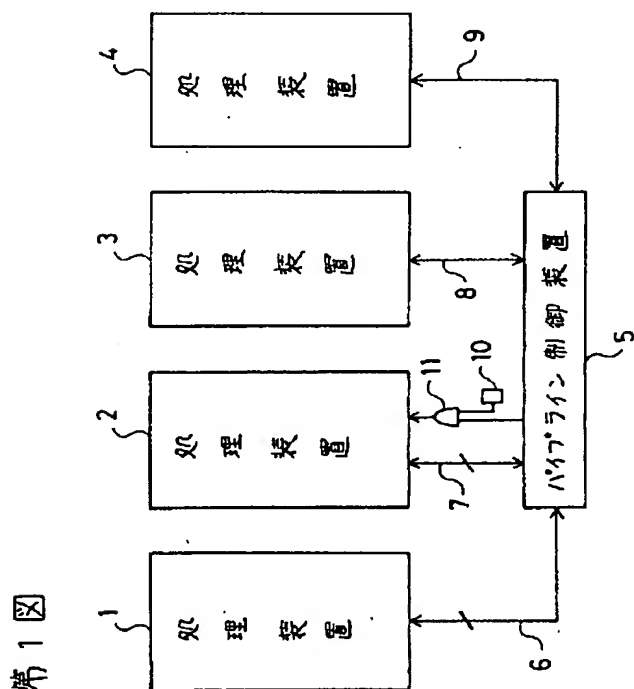
4. 図面の簡単な説明

第1図はこの発明の一実施例による計算機の構成ブロック図、第2図はこの発明の命令処理動作を説明する図、第3図は従来のパイプライン計算機の一例の構成ブロック図、第4図は従来の計算機の命令処理動作を説明する図である。

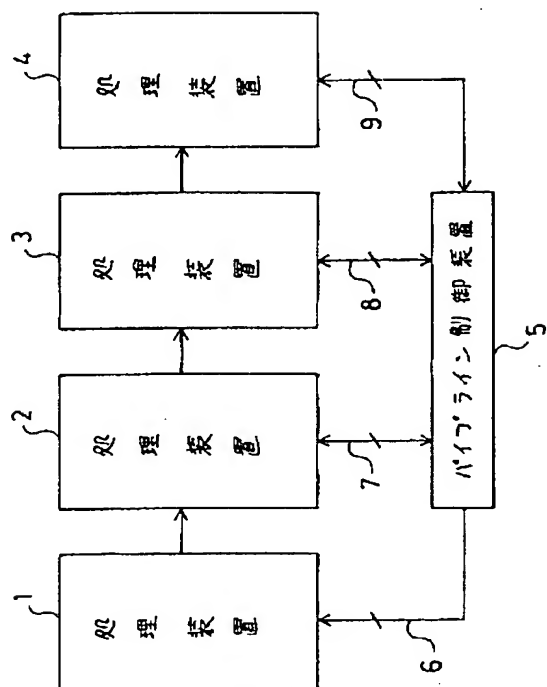
図において、(1)～(4)・・・処理装置、(5)・・・パイプライン制御装置、(10)・・・命令無効化制御レジスタ、(11)・・・アンド回路である。

なお、各図中同一符号は同一又は相当部分を示す。

代理人 曾 我 道 照



第3図



第4図

